

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10284682 A**

(43) Date of publication of application: 23 . 10 . 98

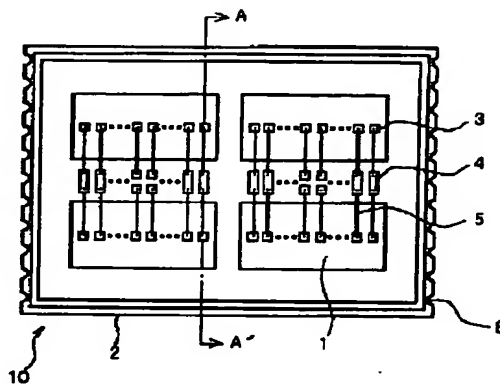
(51) Int. Cl.

H01L 25/00
H01L 27/10(21) Application number: **09235403**(22) Date of filing: **15 . 08 . 97**(30) Priority: **07 . 02 . 97 JP 09 39843**(71) Applicant: **T I F:KK**(72) Inventor: **IKEDA KOICHI**
IKEDA TAKESHI**(54) MEMORY MODULE****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a memory module, wherein a plurality of memory chips are mounted on a module substrate and the delay times of respective wirings are made approximately constant.

SOLUTION: A memory module 10 has a module substrate 2, on which a plurality of bare chips 1 for memory are mounted. At the vicinity of the center of the module substrate 2, pads 4 are formed along the longitudinal direction. The bare chips 1 for memory are mounted by every two pieces on both sides, so as to hold these pads 4. The lengths of bonding wires 5 on the module substrate 2 are made approximately equal. Furthermore, the lengths of the wiring patterns connected to the respective bonding wires 5 are also made approximately equal. Therefore, the wiring lengths from pads 3 of the bare chips 1 for memory to outer connecting terminals 8 can be made approximately equal. The dispersion of the wiring delay amounts from the pads 3 to the outer connecting terminals 8 can be eliminated.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284682

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶

H 0 1 L 25/00

27/10

識別記号

4 9 5

F I

H 0 1 L 25/00

27/10

A

4 9 5

審査請求 未請求 請求項の数6 F D (全 9 頁)

(21) 出願番号 特願平9-235403

(22) 出願日 平成9年(1997)8月15日

(31) 優先権主張番号 特願平9-39843

(32) 優先日 平9(1997)2月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 593119169

株式会社ティ・アイ・エフ

東京都大田区山王二丁目5番6-213号

(72) 発明者 池田 孝市

新潟県上越市西城町二丁目5番13

(72) 発明者 池田 毅

東京都大田区山王2丁目5番6-213

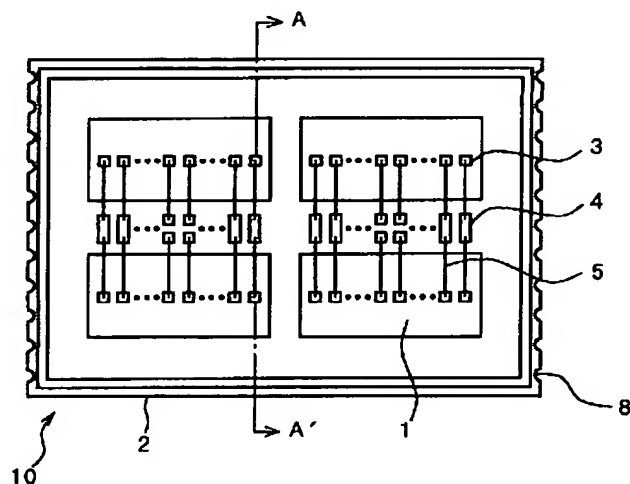
(74) 代理人 弁理士 雨貝 正彦

(54) 【発明の名称】 メモリモジュール

(57) 【要約】

【課題】 複数のメモリチップをモジュール基板上に実装するとともに各配線の遅延時間をほぼ一定にしたメモリモジュールを提供すること。

【解決手段】 本発明のメモリモジュール10は、複数のメモリ用ペアチップ1が実装されたモジュール基板2を備える。モジュール基板2の中央付近には長手方向に沿って一列にパッド4が形成され、これらパッド4を挟んで両側に2個ずつメモリ用ペアチップ1が実装されている。モジュール基板2上のボンディングワイヤ5の長さをほぼ等しくし、かつ各ボンディングワイヤ5に接続される配線パターン1の長さもほぼ等しくしたため、メモリ用ペアチップ1のパッド3から外部接続端子8までの配線長をほぼ等しくすることができ、パッド3から外部接続端子8までの配線遅延量のばらつきをなくせる。



【特許請求の範囲】

【請求項1】 複数の外部接続端子を有し、半導体ウェハから切り出されたメモリチップが複数個実装されたモジュール基板を備え、

前記外部接続端子のそれぞれは、前記メモリチップ上のパッドに対応して設けられ、

前記外部接続端子のそれぞれから対応する前記パッドまでの配線遅延量がほぼ等しくなるように、前記外部接続端子と前記パッドとを前記モジュール基板上あるいは前記モジュール基板内で配線することを特徴とするメモリモジュール。

【請求項2】 請求項1において、

それぞれの前記外部接続端子から対応する前記パッドまでの配線の長さをほぼ等しくすることを特徴とするメモリモジュール。

【請求項3】 請求項1または2において、

前記モジュール基板上には、前記メモリチップ上の各パッドに対応して複数のパッドが形成されており、これらパッドと前記外部接続端子とはそれぞれ前記モジュール基板に形成された配線パターンで接続され、前記モジュール基板上のパッドと対応する前記メモリチップ上のパッドとはそれぞれボンディングワイヤで接続され、それぞれの前記外部接続端子から前記ボンディングワイヤと前記配線パターンとを介して対応する前記パッドに至るまでの配線遅延量をほぼ等しくすることを特徴とするメモリモジュール。

【請求項4】 請求項3において、

前記ボンディングワイヤの長さがそれぞれほぼ等しくなるように、前記モジュール基板上に形成された複数の前記パッドからなるパッド列の両側にほぼ対称に前記メモリチップを同じ向きに配置することを特徴とするメモリモジュール。

【請求項5】 請求項3または4において、

前記モジュール基板の配線パターンとその配線パターンに接続される前記ボンディングワイヤとを合わせた配線遅延量がほぼ等しくなるように、それぞれの前記配線パターンの長さおよび太さの少なくとも一方を調整することを特徴とするメモリモジュール。

【請求項6】 請求項3または4において、

前記モジュール基板の配線パターンとその配線パターンに接続される前記ボンディングワイヤとを合わせた配線遅延量がほぼ等しくなるように、前記配線パターンの一部に迂回路を形成することを特徴とするメモリモジュール。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、メモリ基板やマザーボード等を実装可能であり、複数のメモリチップが実装されたメモリモジュールに関する。

【0002】

【従来の技術】 パッケージングされたメモリICをメモリ基板やマザーボードなどに実装すると、パッケージの外寸法によって実装可能なメモリICの数が制限されてしまう。メモリ基板等の実装密度を上げるためには、パッケージングされていないメモリチップを実装すればよく、最近CPUなどの実装に用いられるようになったCOB実装技術やフリップチップ実装技術を利用すれば、ベアのメモリチップをメモリ基板等を実装することも可能である。

【0003】

【発明が解決しようとする課題】 しかしながら、ベアのメモリチップを基板上に直接実装すると、例えばCOB (Chip On Board) 実装したりフリップチップ実装すると、何れかのメモリチップに不具合があった場合のリペア作業が容易ではない。また、各メモリチップ間の共通端子等を基板上で配線することになるため、基板内の配線量が増加し、このため、基板の層数を増やしたり、配線パターンの幅をできるだけ細くして配線密度を上げるなどの手段を講じる必要が生じる。また、基板内の配線量が増えると、それに応じて迂回路を通る配線が増えるため、配線長が一般に長くなるとともに各配線パターンにおいて配線遅延量が異なる場合が生じる。特に、最近のコンピュータ機器は、50MHz以上の速い速度でメモリの読み書きを行うことが多く、わずかな配線遅延量の相違が誤動作の原因になるおそれがある。基板内の各配線パターンの配線遅延量、すなわち信号の遅延時間にばらつきが生じると、アドレスバスなどの相互に関連性の高い信号間でタイミングのずれが起こる可能性もある。

【0004】 本発明は、このような点に鑑みて創作されたものであり、その目的は、複数のメモリチップをモジュール基板上に実装するとともに各配線の遅延時間をほぼ一定にしたメモリモジュールを提供することにある。

【0005】

【課題を解決するための手段】 上述した課題を解決するために、本発明においては、メモリチップ上の各パッドとモジュール基板の対応する外部接続端子との間の配線遅延量がほぼ等しくなるように配線が行われており、各メモリチップに入出力される信号のタイミングを合わせることができ、例えばメモリチップを高速度で動作させても、誤動作のおそれなくなる。具体的には、モジュール基板の外部接続端子からメモリチップのパッドまでの配線の長さが各配線間でほぼ同じになるようにすることで、各配線遅延量をほぼ等しくすることができる。

【0006】 特に、メモリチップとモジュール基板とをボンディングワイヤを用いて接続する場合には、メモリチップ上のパッドとモジュール基板上のパッドとを接続するボンディングワイヤの配線遅延量と、モジュール基板上のパッドと外部接続端子とを接続する配線パターンの配線遅延量との合計量がほぼ同じに設定されており、仮にボンディングワイヤの長さにばらつきがあっても、

各メモリチップに入出力される信号のタイミングを合わせることができる。

【0007】この場合において、モジュール基板上に形成されたパッド列の両側にほぼ対称となるようにメモリチップを同じ向きに配置することにより、ボンディングワイヤの長さを等しくするのが容易になる。

【0008】また、一般にモジュール基板上の配線量が増えると、各配線パターン間の配線遅延量が異なってくるが、この場合には、配線パターンの長さおよび太さ

(幅)のいずれか一方あるいは両方を調整することにより配線遅延量を調整することができる。例えば、配線パターンを太くすることにより配線遅延量を少なくし、反対に配線パターンを細くすることにより配線遅延量を多くする。あるいは、配線パターンの一部に例えば蛇行形状の迂回路を形成することにより、配線パターンの長さを調整して、各配線パターン間の配線遅延量をほぼ一定にすることもできる。

【0009】

【発明の実施の形態】以下、本発明を適用したメモリモジュールについて、図面を参照しながら具体的に説明する。

【0010】図1は本実施形態のメモリモジュールの概略を示す平面図、図2は図1のA-A'線断面図である。同図に示すように、メモリモジュール10は、半導体ウエハから個別に切り出した4個のメモリ用ベアチップ1をモジュール基板2上にCOB実装したものである。各メモリ用ベアチップ1は、例えば4M×4ビットのメモリ容量を有するDRAMであり、いずれのメモリ用ベアチップ1も長方形形状をしており、その長辺に沿った中央に一列に並んだ複数のパッド3が形成されている。

【0011】一方、モジュール基板2は、例えばSO-DIMM (Small Outline Dual Inline Memory Module) 基板に実装可能な外形寸法を有しており、モジュール基板2の中央付近には長手方向に沿ってほぼ一列にパッド4が形成されている。これらパッド4を挟んで両側に2個ずつメモリ用ベアチップ1が実装され、モジュール基板2上のパッド4の並ぶ方向と各メモリ用ベアチップ1上のパッド3の並ぶ方向はほぼ平行になっている。

【0012】モジュール基板2上のパッド4とメモリ用ベアチップ1上のパッド3はそれぞれボンディングワイヤ5により接続されている。パッド4には、ボンディングワイヤ5が2本接続されたものと1本接続されたものがある。メモリ用ベアチップ1のアドレス端子など、複数のメモリ用ベアチップ1に共通に接続される端子については、モジュール基板2上のパッド4に複数のボンディングワイヤ5を接続することで、パッド4の共有化を図っている。これにより、メモリ用ベアチップ1上のパッド3の総数よりもパッド4の数を減らすことができ、モジュール基板2内の配線量も軽減できる。

【0013】ところで、モジュール基板2のパッド4を挟んで配置される2個のメモリ用ベアチップ1は、同じ構成を有しており、しかもその配置方向も一致させてあるため、各メモリ用ベアチップ1の中央に形成された複数のパッド3が並ぶ順番は、隣接した2個のメモリ用ベアチップ1において同じとなる。したがって、上述したように、モジュール基板2の中央に形成された複数のパッド4の一部を2個のメモリ用ベアチップ1に対応させて共用化することができる。また、上述したように、メモリ用ベアチップ1の中央にパッド3が形成されているため、隣接した2個のメモリ用ベアチップ1のパッド3とモジュール基板2の中央のパッド4とをボンディングワイヤ5で接続する場合であっても、2個のメモリ用ベアチップ1から引き出される各ボンディングワイヤ5の長さをほぼ等しくすることができる。

【0014】また、モジュール基板2の外側面には、凹部形状に形成された複数の外部接続端子8が設けられ、これら外部接続端子8は配線パターン9を介してモジュール基板2の中央にほぼ一列に並んだパッド4と電気的に導通している。モジュール基板2上の複数のパッド4は、モジュール基板2上の中央部にほぼ一列に形成されており、各パッド4と対応する外部接続端子8とはそれぞれその長さがほぼ一定に設定された配線パターン9によって接続されている。

【0015】このように、本実施形態のメモリモジュール10は、モジュール基板2上のボンディングワイヤ5の長さをほぼ等しくするとともに、各ボンディングワイヤ5に接続される配線パターンの長さもほぼ等しくしているため、メモリ用ベアチップ1上のパッド3から外部接続端子8までの配線遅延量のばらつきをなくせる。したがって、各メモリ用ベアチップ1に入出力される信号のタイミングを合わせることができる。

【0016】本実施形態のメモリモジュール10は、図2に示すように、ワイヤボンディングされたメモリ用ベアチップ1の上面を樹脂6で覆って断線等の防止を図っている。メモリモジュール10の高さをできるだけ低くするため、モジュール基板2の外周近傍に封止枠7を設け、この封止枠7の内側に樹脂6を流し込んでいる。なお、封止枠7を設けずに、直接樹脂層を形成したり、トランスファーモールド法により樹脂層を形成するようにしてもよい。

【0017】図3は、図1に示したメモリモジュール10の一部分を示す斜視図である。本実施形態のメモリモジュール10は、いわゆるLCC (Leadless Chip Carrier) 方式によってSO-DIMM基板などのメイン基板に実装される。具体的には、外部接続端子8の凹部に半田を流し込んでメイン基板上に固定される。

【0018】このように、外部接続端子8は、通常の半田付けによりメイン基板に接続される。したがって、メモリ用ベアチップをメイン基板上にCOBやフリップチ

ップによって直接実装する場合に比べると、いずれかのメモリ用ベアチップが不良になったときのリペア（交換）作業が比較的簡単に行えるという利点もある。

【0019】また、本実施形態のメモリモジュール10は、半導体ウエハ上に形成されたメモリ用ベアチップ1を切り出して、パッケージングすることなくモジュール基板2に実装するため、小さな面積のモジュール基板2に複数個（例えば4個）のメモリ用ベアチップ1を無理なく実装できる。したがって、このメモリモジュール10をメイン基板等を実装した場合の実装密度を高めることができる。

【0020】図4は図1に示したメモリモジュール10の回路図である。この図では、簡略化のため、電源端子や接地端子など一部の端子を省略している。同図に示すように、各メモリ用ベアチップ1が有する端子のうち一部の端子については、すべてのメモリ用ベアチップ1に共通に接続されている。具体的には、各メモリ用ベアチップのアドレス端子A0～A10はそれぞれ外部接続端子ADR0～ADR10に共通に接続され、制御端子RASは外部接続端子REに、制御端子WEは外部接続端子WEに、制御端子OEは外部接続端子OEにそれぞれ共通に接続されている。一方、データ端子I/O0～I/O3はそれぞれ別個に外部接続端子D0～D15と接続されている。また、制御端子CASは、2個のメモリ用ベアチップ1を組にして外部接続端子CE0、CE1に接続されている。

【0021】図5はモジュール基板2のパターンレイアウトを示す図であり、図示の斜線部が配線パターンを、図示の点線がメモリ用ベアチップ1の実装位置を示している。モジュール基板2は、例えば4層のプリント配線板で構成され、最上層と最下層には接地用のベタパターン21が形成されている。

【0022】図5は、最上層のパターンレイアウトを示しており、最上層の中央部には、長手方向にほぼ一列にパッド4が形成されており、これら一列に並んだ複数のパッド4の両側に接地用のベタパターン21が形成されている。また、各パッド4にはそれぞれ配線パターン22が接続され、これら配線パターン22の他端は一部を除いてスルーホール23に接続されている。スルーホール23は、内層のパターンあるいは最下層のパターンに接続され、これら各層のパターンはそれぞれ外部接続端子8と接続されている。また、各パッド4から外部接続端子8までの配線長はほぼ等しく設定されており、信号遅延量がばらつかないようにしている。さらに、アドレス端子や制御端子などの複数のメモリ用ベアチップ1に共通に接続される端子については、対応する複数のパッドが配線パターン22で互いに接続されている。

【0023】このように、本実施形態のメモリモジュール10は、各メモリ用ベアチップ1間の配線をモジュール基板2上で行うため、メモリモジュール10が実装さ

れるメイン基板の配線量を減らすことができる。また、異なるピン配置のメモリ用ベアチップ1をモジュール基板2に実装する場合でも、モジュール基板2内の配線を変えれば、特にモジュール基板2の外部接続端子8の配置を変える必要がなく、メイン基板の配線も一切変更しなくて済む。したがって、ピン配置の異なる他のメモリ用ベアチップへの置き換えを簡易かつ低コストで行うことができる。反対に、メモリモジュール10の外部接続端子8の配置を変える必要が生じた場合であっても、メモリ用ベアチップ1は変更せずに、モジュール基板2内の配線のみを変えればよい。1種類のメモリ用ベアチップ1を異なるメモリモジュールで共通に使用することができ、共用化によるコストダウンを図ることができる。

【0024】図6は本実施形態のメモリモジュール10をSO-DIMM基板11に実装した例を示す平面図であり、図6(a)はSO-DIMM基板11の一方の面を、図6(b)は他方の面をそれぞれ示している。同図に示すSO-DIMM基板11には、両方の面にそれぞれ2個ずつメモリモジュール10が実装されており、各メモリモジュール10に対して2個ずつノイズ防止用のコンデンサ（以下、パスコンと呼ぶ）12が設けられている。また、一方の面には、各メモリ用ベアチップ1のチェック等を行うためのコントローラ13が実装されている。各メモリモジュール10は、前述したLCC方式により実装され、パスコン12とコントローラ13はSMT（Surface Mount Technology）方式により実装される。

【0025】図6のSO-DIMM基板は、片側8個で計16個のメモリICを実装したことと同じ結果になり、例えば、メモリモジュール10を構成するメモリ用ベアチップ1がそれぞれ4M×4ビットのDRAMである場合には、各メモリモジュール10のメモリ容量は8Mbyteで、SO-DIMM全体のメモリ容量は32Mバイトになる。

【0026】図1に示したメモリモジュール10は、メモリ用ベアチップ1上のパッド3から外部接続端子8までの配線長をほぼ等しくして各信号のタイミングのばらつきを抑えているが、モジュール基板2の面積が小さい場合や、モジュール基板2に実装されるメモリ用ベアチップ1の数が多い場合には、必ずしもすべての配線の配線長をほぼ等しくすることはできない。したがって、その場合には、メモリ用ベアチップ1を実装するメイン基板（例えば、SO-DIMM基板など）側で調整すればよい。すなわち、メモリ用ベアチップ1の各パッド3からメイン基板のコネクタまでの配線遅延量がほぼ等しくなるようにモジュール基板2とメイン基板に配線パターンを形成すればよい。

【0027】上述した実施形態では、モジュール基板2上に複数のメモリ用ベアチップをCOB実装する例を説

明したが、COB実装の代わりに、ガラス基板上にチップを実装するいわゆるCOG (Chip On Glass) 実装や、フィルム上にチップを実装するCOF (Chip On Film) 実装を行ってもよく、モジュール基板2の材質は必要に応じて適宜変更可能である。

【0028】また、ボンディングワイヤ5を用いてメモリ用ベアチップ1をモジュール基板2に実装する代わりに、半田ボールや金ボールなどのバンプを用いてメモリ用ベアチップ1をモジュール基板2上にフリップチップ実装してもよい。フリップチップ実装を行う場合には、図7に示すように、メモリ用ベアチップ1のパッド3と同間隔でモジュール基板2上にパッド4'を形成すればよい。

【0029】また、上述した実施形態では、完成したメモリモジュール10をLCC方式によってSO-DIMM等のメイン基板に実装する例を説明したが、半田ボール等のバンプを用いたBGA (Ball Grid Array) 方式による実装を行うようにしてもよい。

【0030】また、モジュール基板2上に実装されるメモリ用ベアチップ1の数は4個に限定されず、2個以上であれば特に制限はない。ただし、通常のコンピュータ機器は、メモリ容量を4の倍数に設定することが多いため、モジュール基板に実装するメモリ用ベアチップ1の数も偶数個が望ましい。

【0031】なお、モジュール基板2上に実装されるメモリ用ベアチップ1の数が多い場合には、モジュール基板2内の配線量が多くなることから、各配線パターンの長さを一致させることが困難になる。したがって、このような場合は、配線パターンの太さ（一般には配線パターンの厚みはほぼ一定であるため配線パターンの幅）を調整することで、各配線パターンの配線遅延量をほぼ等しくすればよい。あるいは、配線パターンの一部を折り返したり蛇行させたりした迂回部分を設けて長さを調整してもよい。

【0032】図8～図17は、メモリモジュールの変形例を示す図である。図8に示すように、モジュール基板2の中央に一行に形成されたパッド4に対して、両側に配置されたメモリ用ベアチップ1から交互にボンディングワイヤ5を引き出すようにしてもよい。あるいは、図9に示すように複数本を単位として交互にボンディングワイヤ5を引き出したり、図10に示すようにモジュール基板2に形成された二列以上（同図では二列）のパッド4に対してボンディングワイヤ5を接続するようにしてもよい。

【0033】また、図11や図12に示すように、メモリ用ベアチップ1の長辺に沿って二列にパッド3を形成し、各メモリ用ベアチップ1の両側にボンディングワイヤ5を引き出したり、図13～図16に示すように、メモリ用ベアチップ1の短辺に沿って二列にパッド3を形成し、各メモリ用ベアチップ1の両側にボンディングワ

イヤ5を引き出すようにしてもよい。また、図17に示すように、2個のメモリ用ベアチップ1を用いてメモリモジュールを構成してもよい。

【0034】また、図14に示したようなメモリ用ベアチップを用いてフリップチップ実装を行う場合には、取り付け状態が不安定になるおそれがあるため、図18(a)あるいは(b)に示すように、各メモリ用ベアチップの短辺に近い位置に数個のパッドを形成することが望ましい。また、メモリ用ベアチップ上に一行にパッド3を形成する場合には、一直線上に形成する場合の他に、図19に示すように、階段状に一行に形成するようにしてもよい。

【0035】上述した実施形態では、モジュール基板2にDRAMを実装する例を説明したが、SRAMやフラッシュROM等の他の種類のメモリ用ベアチップ1を実装することも可能である。

【0036】

【発明の効果】以上詳細に説明したように、本発明によれば、モジュール基板上の外部接続端子からメモリチップ上のパッドまでの配線遅延量がほぼ等しくなるように外部接続端子とパッドとをモジュール基板上で配線したため、メモリチップに入出力される信号のタイミングを合わせることができ、配線遅延による各信号間のタイミングのずれをなくすることができる。したがって、モジュール基板上の複数のメモリチップを高速度で動作させても、誤動作を起こさなくなる。

【図面の簡単な説明】

【図1】本実施形態のメモリモジュールの概略を示す平面図である。

【図2】図1のA-A'線断面図である。

【図3】図1に示したメモリモジュールの一部分を示す斜視図である。

【図4】図1に示したメモリモジュールの回路図である。

【図5】モジュール基板のパターンレイアウトを示す図である。

【図6】本実施形態のメモリモジュールをSO-DIMM基板に実装した例を示す平面図である。

【図7】フリップチップ実装時のモジュール基板上のパッド形成図である。

【図8】メモリモジュールの変形例を示す図である。

【図9】メモリモジュールの他の変形例を示す図である。

【図10】メモリモジュールの他の変形例を示す図である。

【図11】メモリモジュールの他の変形例を示す図である。

【図12】メモリモジュールの他の変形例を示す図である。

【図13】メモリモジュールの他の変形例を示す図であ

る。

【図14】メモリモジュールの他の変形例を示す図である。

【図15】メモリモジュールの他の変形例を示す図である。

【図16】メモリモジュールの他の変形例を示す図である。

【図17】メモリモジュールの他の変形例を示す図である。

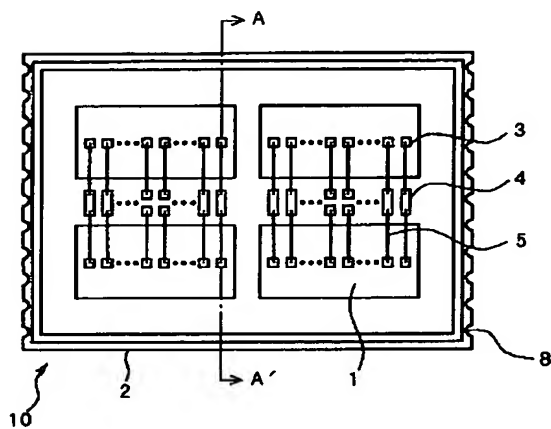
【図18】メモリ用ベアチップの変形例を示す図である。

* 【図19】メモリ用ベアチップの他の変形例を示す図である。

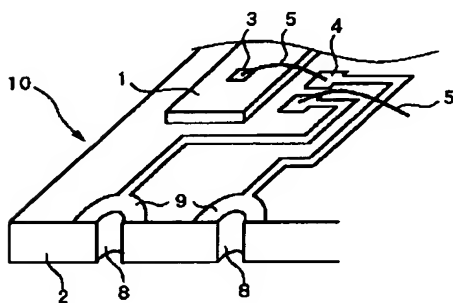
【符号の説明】

- 1 メモリ用ベアチップ
- 2 モジュール基板
- 3、4 パッド
- 5 ボンディングワイヤ
- 6 樹脂
- 7 封止枠
- 8 外部接続端子
- 10 メモリモジュール

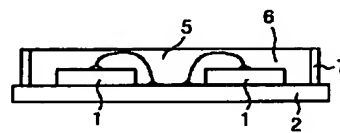
【図1】



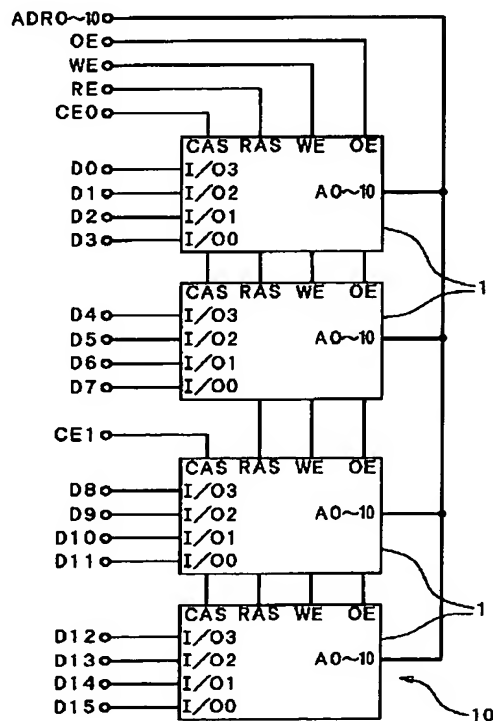
【図3】



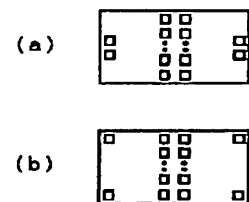
【図2】



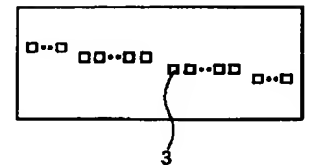
【図4】



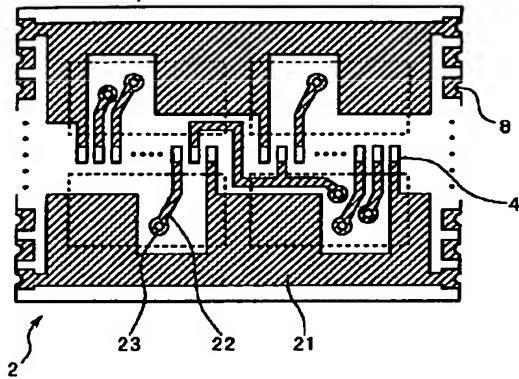
【図18】



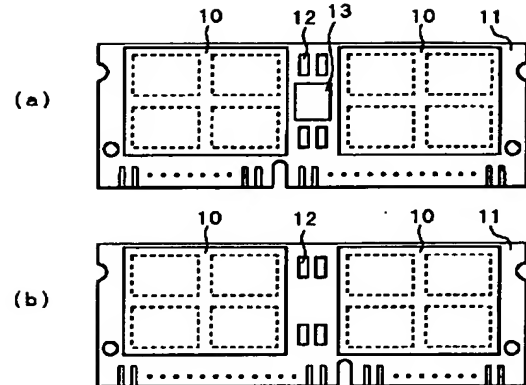
【図19】



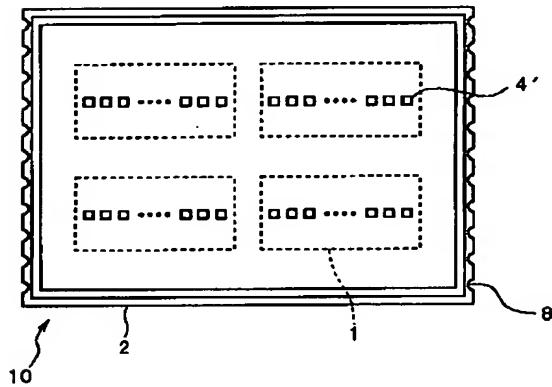
【図5】



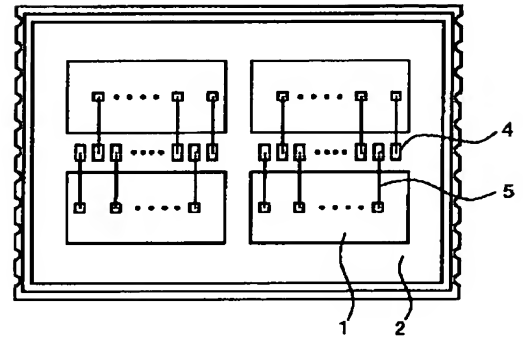
【図6】



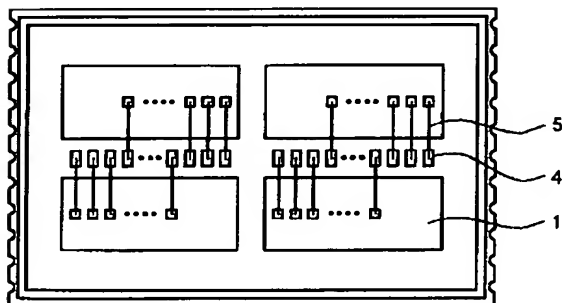
【図7】



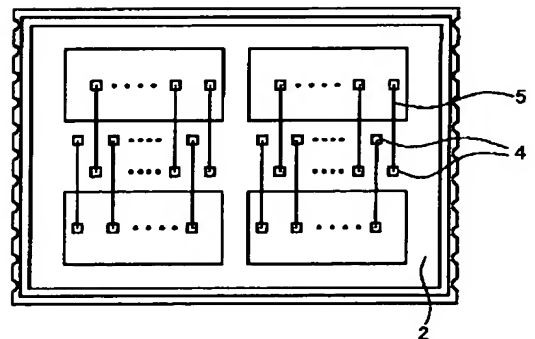
【図8】



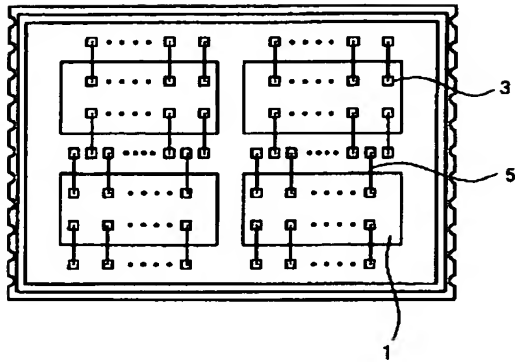
【図9】



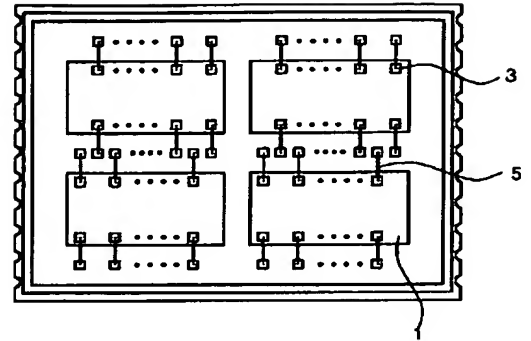
【図10】



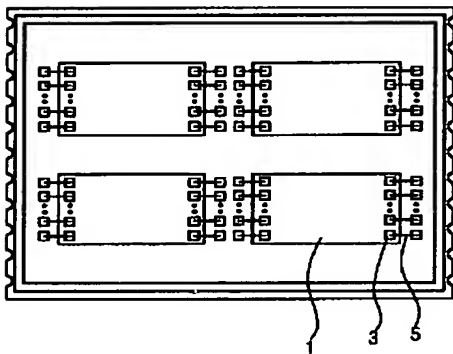
【図11】



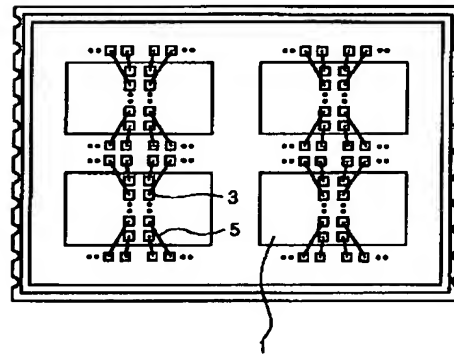
【図12】



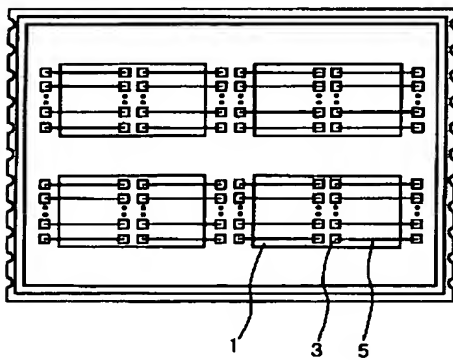
【図13】



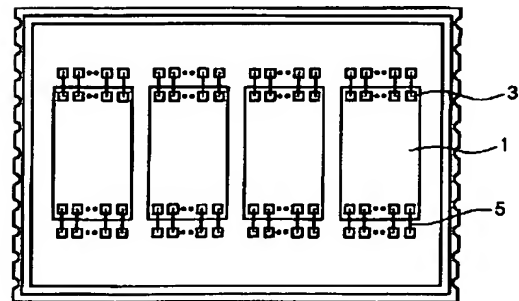
【図14】



【図15】



【図16】



【図17】

